

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

## (2) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-101866

(P2001-101866A)

(49) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl.

識別記号

P.I.

チ-ク-12(参考)

G 11 C 11/409

G 11 C 11/34

S.5.3.E

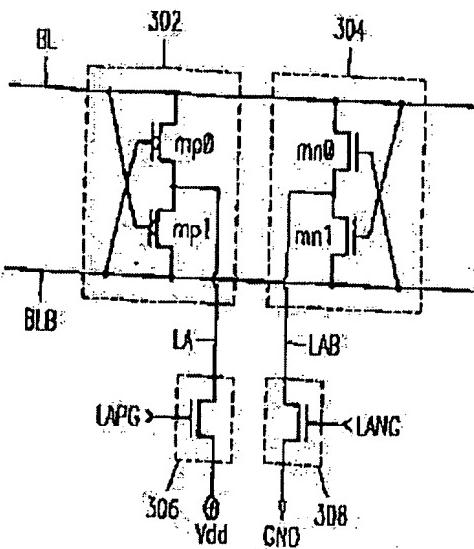
(21) 出願番号 特願2000-287483(P2000-287483)  
 (22) 出願日 平成12年9月4日 (2000.9.4)  
 (31) 優先権主要番号 99-87106  
 (32) 優先日 平成11年9月2日 (1999.9.2)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 380019839  
 三星電子株式会社  
 大韓民国水原市八達区梅泰洞418  
 (72) 発明者 金桂△祐▼  
 大韓民国ソウル特別市江南区道谷洞834-  
 5番地204号  
 (72) 発明者 金桂洙  
 大韓民国水原市長安区亭子2洞19番  
 地構造アパート811号  
 (74) 代理人 100078428  
 弁理士 大韓 産植 (外2名)

(54) 【明細の名称】 半導体メモリ装置の感知増幅器

## (57) 【要約】

【課題】駆動能力が改善されると共に半導体メモリ装置のサイズの縮小に寄与する感知増幅器を提供する。  
 【解決手段】ビットラインと相補ビットラインとの間に接続されたフルアップ感知増幅器302及びフルダウン感知増幅器304と、フルアップ感知増幅器302に電荷を提供する第1NMOSトランジスタを具備するフルアップ感知駆動器305と、フルダウン感知駆動器304から電荷を引き抜く第2NMOSトランジスタを備えるフルダウン感知駆動器308とを含む。このようにフルアップ感知駆動器302とフルダウン感知駆動器304を全てNMOSトランジスタで構成することによってセーフシングタイム及びリフレッシュタイムが改善される。



## 【特許請求の範囲】

【請求項1】 ピットラインと相補ピットラインとの間に接続されたフルアップ感知増幅器及びフルダウン感知増幅器と、

前記フルアップ感知増幅器に電荷を提供する第1NMOSトランジスタを具備するフルアップ感知駆動器と、

前記フルダウン感知増幅器から電荷を引き抜く第2NMOSトランジスタを備えるフルダウン感知駆動器と、  
を含むことを特徴とする半導体メモリ装置の感知増幅器。

【請求項2】 前記フルアップ感知駆動器を活性化する時の第1活性化信号の電位は、前記フルダウン感知駆動器を活性化する時の第2活性化信号の電位より高いことを特徴とする請求項1に記載の感知増幅器。

【請求項3】 前記第1活性化信号は、前記第1NMOSトランジスタをターンオンさせることによって前記フルアップ感知駆動器を活性化し、前記第2活性化信号は、前記第2NMOSトランジスタをターンオンさせることにより前記フルダウン感知駆動器を活性化することを特徴とする請求項2に記載の感知増幅器。

【請求項4】 前記第1及び第2NMOSトランジスタの大きさは同一であることを特徴とする請求項3に記載の感知増幅器。

【請求項5】 前記第1活性化信号の電位と前記第2活性化信号の電位との差により、前記フルダウン感知増幅器内のNMOSトランジスタ内のキャリアの移動度よりも低い前記フルアップ感知増幅器内のPMOSトランジスタ内のキャリアの移動度が捕獲されることを特徴とする請求項4に記載の感知増幅器。

【請求項6】 前記フルアップ感知増幅器を活性化する第1信号と前記フルダウン感知駆動器を活性化する第2信号を発生する制御部をさらに具備し、前記フルアップ感知増幅器を活性化する時の第1信号の電位は、前記フルダウン感知増幅器を活性化する時の第2信号の電位より高いことを特徴とする請求項1に記載の感知増幅器。

【請求項7】 前記感知増幅器はトリプルウェル構造を有することを特徴とする請求項1に記載の感知増幅器。

【請求項8】 前記フルアップ感知増幅器は、  
ピットラインと第1ノードとの間に接続された第1PMOSトランジスタと、

前記第1ノードと相補ピットラインとの間に接続された第2PMOSトランジスタとを具備し、

前記第1ノードは前記第1ノードと第1電圧との間に連結されていることを特徴とする請求項1に記載の感知増幅器。

【請求項9】 感知動作中に前記フルアップ感知駆動器を活性化する活性化信号を発生する制御回路をさらに具備し、  
前記フルアップ感知駆動器を活性化する活性化信号の状態は前記第1電圧より高い第2電圧を有することを特徴

とする請求項目に記載の感知増幅器。

【請求項10】 前記フルダウン感知増幅器は、  
ピットラインと第2ノードとの間に接続された第3NMOSトランジスタと、

前記第2ノードと相補ピットラインとの間に接続された第4NMOSトランジスタを具備し、

前記第2NMOSトランジスタは前記第2ノードと基準電圧との間に連結されていることを特徴とする請求項8に記載の感知増幅器。

【請求項11】 前記第1NMOSトランジスタの大きさは、前記第2NMOSトランジスタのそれと同一であることを特徴とする請求項10に記載の感知増幅器。

【請求項12】 感知動作中に各々前記フルアップ感知駆動器と前記フルダウン感知駆動器を活性化する第1及び第2活性化信号を発生する制御部をさらに具備し、前記第1及び第2活性化信号は、各々前記フルアップ及びフルダウン感知駆動器を活性化する時はアクティブハイで、第1活性化信号のアクティブハイ状態は前記第2活性化信号のアクティブハイ状態より高い電圧を有することを特徴とする請求項1-1に記載の感知増幅器。

【発明の詳細な説明】

【00-01】

【発明の属する技術分野】 本発明は半導体メモリ装置の感知増幅器に関する。

【00-02】

【従来の技術】 DRAM(Dynamic Random Access Memory)のような半導体メモリ装置は、メモリセルに貯蔵されたデータを読み出した後メモリセルのデータをリフレッシュしたりするための感知増幅器を使用する。

【00-03】 図1は従来の感知増幅器を示す回路図である。図1において、感知増幅器はフルアップ感知増幅器1-0-2とフルダウン感知増幅器1-0-4とを含む。フルアップ感知増幅器1-0-2はPMOSトランジスタmp0及びmp1を含み、フルダウン増幅器1-0-4はNMOSトランジスタmn0及びmn1を含む。MOSトランジスタmp0及びmp1とmn0及びmn1はピットラインBLと相補ピットラインBLBとの間に直列に接続され、ピットラインBLと相補ピットラインBLBに各々接続されたゲートを有する。感知増幅器は、フルアップ感知増幅器1-0-2とフルダウン感知増幅器1-0-4の各々を通じて、ラインBLとBLBに電荷を提供したり、ラインBLとBLBから電荷を引き抜いたりするフルアップ感知駆動器1-0-6とフルダウン感知駆動器1-0-8も具備する。

【00-04】 この感知増幅器において、フルアップ感知駆動器1-0-6は、供給電圧VddとPMOSトランジスタmp0及びmp1の間のノードとの間に接続されたPMOSトランジスタで、フルダウン感知駆動器1-0-8は、供給電圧GNDとNMOSトランジスタmn0及びmn1の間のノードとの間に接続されたNMOSトランジスタである。

【00-05】 図2は、図1に示されたフルアップ感知駆

動器1.0.6を駆動する信号LAPDとフルダウン感知駆動器1.0.8を駆動する信号LANGを発生する制御回路を示す回路図である。図2の制御回路は、NANDゲート2.0.2と3個のインバータ2.0.4、2.0.6、2.0.8とを具備する。

【00.0.6】NANDゲート2.0.2の入力信号PS及びPBLSIJが全て"ハイ"状態になれば、NANDゲート2.0.2の出力信号が"ロー"状態になる。このとき、第1インバータ2.0.4の出力であるLANG信号は"ハイ"状態になり、第3インバータ2.0.8の出力のLAPD信号は"ロー"状態になる。すなわち、入力信号PS及びPBLSIJが"ハイ"状態になればLANG信号はフルダウン感知駆動器1.0.8をターンオフさせ、LAPD信号はフルアップ感知駆動器1.0.6をターンオンさせ、図1の回路でセンシング動作が起こる。

【00.0.7】図1に示したように従来の感知増幅器は、LAラインに電荷を供給するフルアップ感知駆動器1.0.6としてPMOSトランジスタを使用し、LABラインから電荷を引き抜くフルダウン感知駆動器1.0.8としてNMOSトランジスタを使用する。

【00.0.8】図1のような感知増幅器は、セルアレイの容量の増加に適応させる必要がある。例えば、従来のセルアレイの大きさは12.8Kbitであったが、半導体装置の実験技術の向上に伴って現在では1.92Kbitや2.56Kbitに増加した。メモリアレイの容量が増加するにつれてビットラインはますます細く長くなっている。ビットラインの抵抗成分及びキャパシタ成分が増加する。そこで、フルアップ感知駆動器1.0.6とフルダウン感知駆動器1.0.8の駆動能力をアレイ容量の増加と共に増加させる必要がある。

【00.0.9】また、PMOSトランジスタは同じ大きさのNMOSトランジスタよりも活性化信号に対する応答が遅い。したがって、PMOSトランジスタにより構成されるフルアップ感知駆動器1.0.6の応答を、NMOSトランジスタにより構成されるフルダウン感知駆動器1.0.8のそれと同じくするために、PMOSトランジスタの幅をNMOSトランジスタの幅より大きくする必要がある。しかし、より大きいPMOSトランジスタはチップサイズを増加させ、メモリアレイ容量の増加を妨げる。

【00.1.0】

【発明が解決しようとする課題】本発明は、サイズが小さい一方で高い駆動能力を有する感知増幅器を提供し、これにより感知増幅器を有するメモリ装置のチップサイズを減少させることを目的とする。

【00.1.1】

【課題を解決するための手段】本発明に係る感知増幅器は、フルアップ感知増幅器、フルダウン感知増幅器、フルアップ感知駆動器、及びフルダウン感知駆動器を含む。

【00.1.2】フルアップとフルダウン感知増幅器は、ビットラインと相補ビットラインとの間に接続され、メモリセルのデータを感じ知する。フルアップ感知駆動器はブ

ルアップ感知増幅器に電荷を提供するNMOSトランジスタを具備し、フルダウン感知駆動器はフルダウン感知増幅器から電荷を引き抜くNMOSトランジスタを具備する。2個のNMOSトランジスタは同じ大きさとすることでき、より大きいPMOSトランジスタを使用する場合に比べてチップサイズを縮めることができる。

【00.1.3】フルアップ感知駆動器を駆動する信号の電位は、フルダウン感知駆動器を駆動する信号のそれより高いこと、及び又は、フルアップ感知駆動器の供給電圧より高いことが好ましい。

【00.1.4】

【発明の実施の形態】以下、添付した図面を参照して本発明の特徴及び利点を詳細に説明する。

【00.1.5】図3は、本発明の好適な実施の形態に係る感知増幅器を示す回路図である。図3の感知増幅器は、一对のPMOSトランジスタmp0及びmp1を具備するフルアップ感知増幅器3.0.2と一对のNMOSトランジスタmn0及びmn1を具備するフルダウン感知増幅器3.0.4などを含む。PMOSトランジスタmp1及びmp0はビットラインBLと相補ビットラインBLBとの間に直列に接続され、各々がビットラインBLと相補ビットラインBLBに連絡されるゲートを有する。同様ように、NMOSトランジスタmn1及びmn0はビットラインBLと相補ビットラインBLBとの間に直列に接続され、各々がビットラインBLと相補ビットラインBLBに連絡されるゲートを有する。フルアップ感知駆動器3.0.6は、ラインLAを通じてPMOSトランジスタmp0とmp1との間のノードに連結され、フルアップ増幅器3.0.2に電荷を供給する。フルダウン感知駆動器3.0.8はラインLABを通じてNMOSトランジスタmn0とmn1との間のノードに連結され、そしてフルダウン感知増幅器3.0.4から電荷を引き抜く。この感知増幅器は、各々のフルアップ感知駆動器3.0.6とフルダウン感知駆動器3.0.8がNMOSトランジスタで構成されていることが特徴である。

【00.1.6】センシング動作の初期において、等化回路(図示せず)は、ビットラインBLと相補ビットラインBLBの電圧をプリチャージレベル $1/2V_{dd}$ に等化する。セルトランジスタがビットラインBLを"ハイ"レベルでチャージされたキャパシタに連絡するようにワードライン(図示せず)がイネーブルされれば、チャージシェアリングによりビットラインBLの電位が相補ビットラインBLBの電位より高くなる。一方、連絡されたキャパシタがディスクチャージされていれば、チャージシェアリングによりビットラインBLの電位が低下する。チャージシェアリングが完了する時点でのフルアップ感知駆動器3.0.6とフルダウン感知駆動器3.0.8は、LAラインの電位を $1/2V_{dd}$ から供給電圧 $V_{dd}$ 、LABラインの電位を $1/2V_{dd}$ から接地電位(0V)に駆動し始める。

【00.1.7】読み出されているメモリセルが"ハイ"状態でチャージされている時は、トランジスタmn1のゲート電

位がim 0のゲート電位より高くなるので、相捕ビットラインBLBのチャージがim 1を通じてLBラインに流れていく。従って相捕ビットラインBLBの電位が低下する。一方、ラインAIは、トランジスタmp 0を通じてビットラインBLに電荷を供給してビットラインBLの電位を増加させる。これはラインBLとBLBとの間の小さな電圧差を増幅してビットラインBLの電位を供給電圧Vddに上げる一方、相捕ビットラインBLBの電位を接地電位(0V)に下げるファイトバックループを形成する。

【0018】ビットラインBLと相捕ビットラインBLBの電位差が適正な水準に到達すれば、カラム選択ライン(Column Select Line)(図示せず)により制御されるカラム選択トランジスタ(図示せず)をターンオンさせて、感知されたデータを入出力ライン(I/O Line)(図示せず)に伝送する。

【0019】図3の感知増幅器において、フルアップ感知駆動器30.6とフルダウン感知駆動器30.8が全てNMOSトランジスタで構成される。駆動器30.6及び30.8のNMOSトランジスタは速い応答を提供し、同等な駆動能力とスピードのPMOSトランジスタを使用することによる半導体メモリ装置のチップサイズ増加を防止する。

【0020】駆動器30.6及び30.8の速い応答は、駆動器30.6及び30.8が動作し始める時点とカラム選択ラインがイネーブルされる時点との間のセンシングタイムを縮める。

【0021】同じようにメモリセルのキャパシタにデータをリフレッシュするのに必要ないリフレッシュタイムも縮まる。

【0022】図1に示したような従来の感知増幅器と同じチップ領域を使用する場合において、本発明の好適な実施の形態の感知増幅器によれば、センシングタイムは1~2nsまで縮まり、カラム選択ラインCSLのイネーブルタイムを延ばす必要がない。リフレッシュタイムは10nsまで短くなる。

【0023】図4は、図3に示したフルアップ感知駆動器30.6とフルダウン感知駆動器30.8を活性化する制御回路の構成を示す。制御回路はNANDゲート4.0.2、2個のインバータ4.0.4及び4.0.8、並びにレベルシフト4.0.6を具備する。NANDゲート4.0.2はP6信号とPBLSIJ信号を受け、そのNAND演算された結果をインバータ4.0.4とレベルシフト4.0.6に出力する。インバータ4.0.4はNANDゲート4.0.2の出力信号を反転させてLANG信号を発生し、レベルシフト4.0.6及びインバータ4.0.8はNANDゲート4.0.2の出力信号を各々パッファリング及び反転させてLAPG信号の活性化されたレベルを発生する。

【0024】これによりインバータ4.0.4とインバータ4.0.8の出力は同じロジックレベルを有するが、以下に説明されるようにインバータ4.0.8は、LAPG信号の活性化されたレベルを供給電圧Vdd、即ちLANG信号の活性化されたレベルよりも高いレベルまで上げる。

【0025】P6信号とPBLSIJ信号が全て"ハイ"状態になればNANDゲート4.0.2の出力は"ロー"状態になり、インバータ4.0.4の出力のLANG信号とインバータ4.0.8の出力のLAPG信号は全て"ハイ"状態になる。これによりインバータ4.0.4からのLANG信号とインバータ4.0.8からのLAPG信号は"ハイ"状態になる。センシング動作中にフルアップ感知増幅器30.2及びフルダウン感知増幅器30.4の動作を開始させるために、LANG信号はフルダウン感知駆動器30.8をターンオンさせ、LAPG信号はフルアップ感知駆動器30.6をターンオンさせる。

【0026】フルアップ感知増幅器30.2はPMOSトランジスタmp 0及びmp 1を含む。よく知られたようにPMOSトランジスタmp 0及びmp 1内のホールの移動度は、フルダウン感知増幅器30.4のNMOSトランジスタmp 0及びim 1内の電子の移動度より小さい。従って、フルアップ感知駆動器30.6とフルダウン感知駆動器30.8が同じ大きさであれば、フルアップ感知駆動器30.6の駆動能力を増加するべきである。本発明の好適な実施の形態では、レベルシフト4.0.6とインバータ4.0.8は、LAPG信号のアクティブ電位をLANG信号のそれに比べて高くすることによってフルアップ感知駆動器30.6の駆動能力を増加させる。

【0027】本発明の好適な実施の形態では、レベルシフト4.0.6の入力は0~2.4Vで、出力は0~3.8Vである。レベルシフト動作のためにレベルシフト4.0.6の電源電圧として3.8Vの電位を有するVppが印加される。またインバータ4.0.8の電源電圧としてもVppが印加される。

【0028】図4の制御回路において、NANDゲート4.0.2の出力が"ハイ"であればNMOSトランジスタmp 4.1及びim 4.3がオンされ、インバータINVの出力は"ロー"となりNMOSトランジスタmp 4.2及びim 4.4がターンオフされる。トランジスタmp 4.1はPMOSトランジスタmp 4.2のゲートをフルダウンし、これによりトランジスタmp 4.2がターンオンされレベルシフト4.0.6の出力は電圧Vppにフルアップされる。また、NANDゲート4.0.2の出力はトランジスタmp 4.3をオンさせレベルシフト4.0.6の出力はトランジスタmp 4.1をオフさせて、レベルシフト4.0.6はVppレベルにラッチされる。

【0029】NANDゲート4.0.2の出力が"ロー"であればトランジスタmp 4.1及びim 4.3がオフされ、インバータINVからの出力は"ハイ"になってトランジスタmp 4.2及びim 4.4をターンオンさせる。これによりトランジスタmp 4.4及びim 4.2がターンオフされてレベルシフト4.0.6の出力は"ロー"(0V)になる。また、この"ロー"レベルの出力はトランジスタmp 4.1をターンオンさせてトランジスタmp 4.2を推進してオフさせてレベルシフト4.0.6の出力を"ロー"レベル(0V)にラッチされるようになる。

【0030】インバータ4.0.8は低電位を入力し反転さ

せてVppレベルを出力する。言い換れば、レベルシフタ405とインバータ409の動作は、フルアップ感知駆動器306を活性化する時、LAPG信号の電位をフルダウン感知駆動器308を活性化する時のLANG信号の電位より高く上げる。

【図3-1】これは駆動器306の駆動能力を増大させ、電位VppとVddとの差が駆動器306のNMOSトランジスタのスレショルド電圧より大きいため、ラインLAの最大電位を電位Vddに増大させる。

【図3-2】図3の感知増幅器を含むメモリではカラム選択タイムを延ばす必要がない。駆動器306(図4)のNMOSトランジスタが駆動器105(図1)のPMOSトランジスタと同じ大きさを有する場合、図1の感知増幅器と比較する時、図3の感知増幅器は、センシングタイムが1~2nsまで縮まり、リフレッシュタイムが1.0nsまで縮まる。

【図3-3】図3の感知増幅器は、例えばドリブルウェルプロセス及び構造で具現されうる。トリブルウェル構造とは、基板内で上部のウェル(例えばn-ウェル)が下部のウェル(例えばp-ウェル)の境界内にある構造である。アクティブ領域(例えばNMOSトランジスタのn-タイフソース/ドレイン領域)が上部のウェル(例えばp-ウェル)内にあり、他のアクティブ領域(例えばPMOSトランジスタのp-タイフソース/ドレイン領域)が上部のウェルを取り囲む下部のウェルの一部である。そのようなトリブルウェル構造を作るプロセスは当業者によく知られている。図3の感知増幅器において、ツインウェルアイソレーション構造のNMOSトランジスタを採用した装置と比較すると、トリブルウェル構造はNMOSトランジスタの長さと、

駆動器308とフルアップ感知増幅器302との距離を縮めることを可能にする。したがって、図3の感知増幅器は、トリブルウェルプロセスを使用して形成されることが好ましい。トリブルウェルプロセスによれば、チップのコアと周辺領域の比率に関係なくコア領域にNMOSトランジスタ集中させることができるので、プロセスを改善することができる。

#### 【図3-4】

【発明の効果】前述したように本発明の感知増幅器によれば、フルアップ感知駆動器とフルダウン感知駆動器を全てNMOSトランジスタで構成することによってセンシングタイム及びリフレッシュタイムが改善される。

#### 【図面の簡単な説明】

【図1】従来の感知増幅器の構成を示す回路図である。

【図2】図1に示したフルアップ感知駆動器及びフルダウン感知駆動器を各々制御するLAPG信号及びLANG信号を発生する制御回路の構成を示す回路図である。

【図3】本発明に係る感知増幅器の構成を示す回路図である。

【図4】図3に示したフルアップ感知駆動器及びフルダウン感知駆動器を各々制御するLAPG信号とLANG信号を発生する制御回路の構成を示す回路図である。

#### 【符号の説明】

BL ピットライン

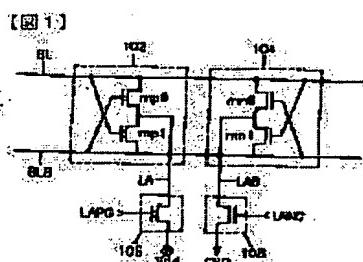
BLB 相補ピットライン

302 フルアップ感知増幅器

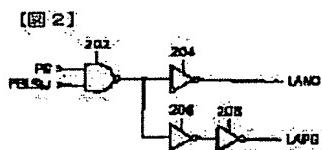
304 フルダウン感知増幅器

306 フルアップ感知駆動器

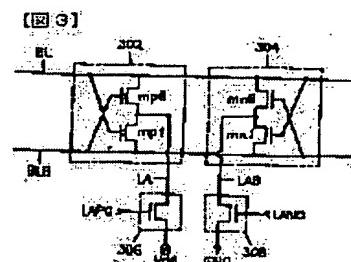
308 フルダウン感知駆動器



【図1】



【図2】



BEST AVAILABLE COPY

